# Lập trình VHDL

1. Thư viện

Thư viện chuẩn IEEE

1. Entity

Gồm generic và port

Port là danh sách các cổng giao tiếp ngoài

Kiểu std\_logic và std\_logic\_vector

Chú ý lên cuối cùng trong port không có dấu chấm phẩy

1. Architechture

Thực hiện cấu hình luồng logic trong cấu trúc

Thực hiện trong begin và end

Khai báo các tín hiệu (dây nối ) sau khai báo architecture và trước begin

Tương tự với component

1. Process

Trong VHDL tất cả các lệnh thực hiện song song vì đây là ngôn ngữ cấu hình

Để thực hiện các lệnh tuần tự như if, else, while , for ta cần cấu trúc process

Process(các tín hiệu gây ảnh hưởng đến tín hiệu ra)